

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-113559

(43)Date of publication of application : 22.04.1994

(51)Int.Cl.

H02M 7/515
H02M 7/5387
H03K 17/16
H03K 17/725

(21)Application number : 04-256896

(71)Applicant : MITSUBISHI HEAVY IND LTD

(22)Date of filing : 25.09.1992

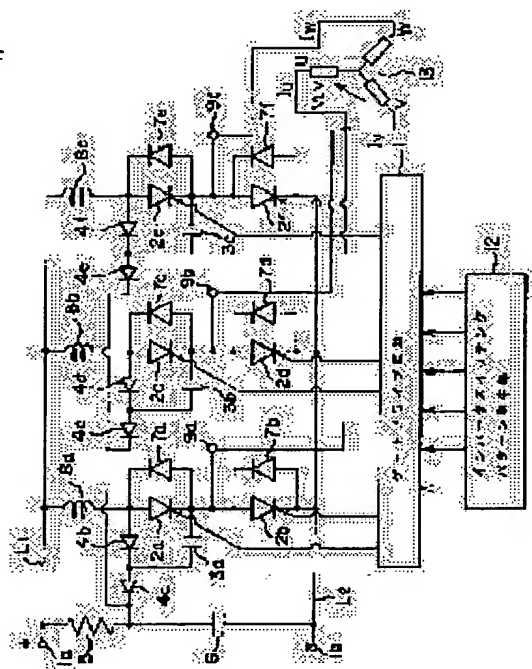
(72)Inventor : SUGIMOTO SHIRO

(54) GTO INVERTER CIRCUIT

(57)Abstract:

PURPOSE: To achieve cost reduction and compaction of GTO inverter circuit by suppressing overvoltage and steep variation of voltage at the time of switching of GTO element of each phase.

CONSTITUTION: In a polyphase inverter circuit employing GTO elements, snubber resistor 5 and an overvoltage capacitor 6 are shared by respective phases. Snubber capacitors 3a-3c and snubber diodes 4a-4f are provided for respective phases and constitute snubber circuits along with the shared snubber resistor 5 and overvoltage capacitor 6. A switching pattern generating section 12 controls switching of GTO elements 2a-2f for respective phases. The switching pattern generating section 12 is provided with means for prohibiting provision of switching command to a GTO element for other phase for a predetermined time after provision thereof to a GTO element for one phase. Consequently, the GTO element for other phase is switched other overvoltage induced in the overvoltage capacitor 6 is discharged sufficiently thus suppressing steep variation of voltage across the GTO element.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-113559

(43)公開日 平成6年(1994)4月22日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 2 M 7/515

G 9181-5H

7/5387

9181-5H

H 0 3 K 17/16

M 9184-5 J

17/725

E 9383-5 J

審査請求 未請求 請求項の数 1 (全 6 頁)

(21)出願番号

特願平4-256896

(22)出願日

平成4年(1992)9月25日

(71)出願人 000006208

三菱重工業株式会社

東京都千代田区丸の内二丁目5番1号

(72)発明者 杉本 志郎

兵庫県高砂市荒井町新浜二丁目1番1号

三菱重工業株式会社高砂製作所内

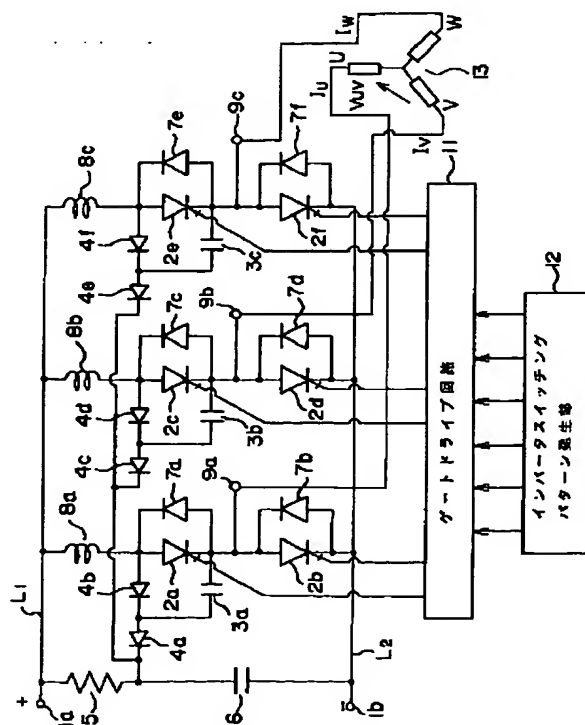
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 GTOインバータ回路

(57)【要約】

【目的】 各相のGTO素子のスイッチング時に発生する過電圧及び急峻な電圧変化を抑制し、GTOインバータ回路の低コスト化とコンパクト化を図る。

【構成】 GTO素子を用いた多相インバータ回路において、各相に共有するスナバ抵抗5及び過電圧コンデンサ6を設ける。各相にはスナバコンデンサ3a～3c、スナバダイオード4a～4fを設け、共有するスナバ抵抗5及び過電圧コンデンサ6と共にスナバ回路を構成する。スイッチングパターン発生部12は、各相のGTO素子2a～2fをスイッチング制御する。スイッチングパターン発生部12は、ある相のGTO素子のスイッチング指令を出力すると一定時間他相のGTO素子に対するスイッチング指令の出力を禁止する手段を備えている。従って、過電圧コンデンサ6に誘起した過電圧が充分放電してから他相のGTO素子がスイッチングされ、GTO素子の両端の急峻な電圧変化が抑制される。



【特許請求の範囲】

【請求項1】 対をなすGTO素子を用いたインバータ回路を複数並列的に接続してなる多相インバータ回路において、各相に共有して設けられるスナバ抵抗及び過電圧コンデンサと、各相のインバータ回路に設けられ、上記共有するスナバ抵抗及び過電圧コンデンサと共に、スナバコンデンサ、スナバダイオードにより構成されるスナバ回路と、上記各相のGTO素子をオン／オフするスイッチングパターンを発生するスイッチングパターン発生手段と、この手段によりある相のGTO素子のスイッチング指令が出力されると一定時間他相のGTO素子に対するスイッチング指令の出力を禁止する手段とを具備したことを特徴とするGTOインバータ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、スナバ回路を備えた多相のGTO（ゲートターンオフサイリスタ）インバータ回路に関する。

【0002】

【従来の技術】GTO素子は、デバイスの特性上、ターンオフ時の電圧上昇率に制限がある。このためGTO素子を用いた回路では、図6に示すようにGTO素子20にスナバ回路21を並列に接続し、過電圧及びターンオフ時の電圧上昇率を抑制するようにしている。このスナバ回路21は、スナバダイオード22、スナバコンデンサ23及びスナバ抵抗24からなり、スナバダイオード22とスナバコンデンサ23の直列回路がGTO素子20に並列に接続され、スナバ抵抗24がスナバダイオード22に並列に接続されている。

【0003】上記の構成において、GTO素子20のターンオフ時には、GTO素子20に流れていた主電流がスナバダイオード22を介してスナバコンデンサ23に流れ、スナバコンデンサ23に電荷が蓄積される。このように主電流をスナバコンデンサ23に分流することにより、GTO素子20のターンオフ時における電圧上昇率が抑制される。上記スナバコンデンサ23に蓄積された電荷は、GTO素子20のターンオン時にスナバ抵抗24を介して放電される。

【0004】しかして、上記GTO素子を用いた回路としては、GTOインバータ回路がある。GTO素子とスナバ回路を複数個組合わせて構成した多相のGTOインバータ回路の例としては、1984年のIEEEに、Undeland氏等が発表した論文「A SNUBBER CONFIGURATION FOR BOTH POWER TRANSISTORS AND GTO PWM INVERTERS」がある。

【0005】

【発明が解決しようとする課題】上記Undeland氏等により発表された論文では、PWMブリッジでGTO素子を用いる時は、各相毎に分離した過電圧コンデンサが必要であると示され、過電圧コンデンサの共有化は、臨界オ

フ電圧上昇率（ dv/dt ）の点で問題があるとしている。即ち、複数のGTO素子とスナバ回路を複数個組合わせて多相のインバータ回路を構成する場合、各相のGTO素子に対して過電圧コンデンサを共有化しようとする、ある相のGTO素子をターンオフした際、過電圧コンデンサに充電されている過電圧が他の相のGTO素子に印加され、所定の臨界オフ電圧上昇率を越えてしまう。このため従来の多相のGTOインバータ回路では、過電圧コンデンサを共有化することが困難であった。

【0006】この発明は上記の問題を解決するためになされたもので、GTO素子のスイッチング時に過電圧及びオフ電圧上昇率を確実に抑制でき、スナバ抵抗及び過電圧コンデンサの共有化を可能として低コスト化とコンパクト化を図ることができるGTOインバータ回路を提供することを目的とする。

【0007】

【課題を解決するための手段】この発明は、対をなすGTO素子を用いたインバータ回路を複数並列的に接続してなる多相インバータ回路において、各相に共有して設けられるスナバ抵抗及び過電圧コンデンサと、各相のインバータ回路に設けられ、上記共有するスナバ抵抗及び過電圧コンデンサと共に、スナバコンデンサ、スナバダイオードにより構成されるスナバ回路と、上記各相のGTO素子をオン／オフするスイッチングパターンを発生するスイッチングパターン発生手段と、この手段によりある相のGTO素子のスイッチング指令が出力されると一定時間他相のGTO素子に対するスイッチング指令の出力を禁止する手段とを具備したことを特徴とする。

【0008】

【作用】第1の相の交流信号を出力する場合、スイッチング制御手段は所定のGTO素子をオンする。

【0009】スイッチング制御手段は、第1の相の交流信号出力の為のGTO素子のスイッチング指令を出した後、このGTO素子を保護する保護回路の過渡状態が終了するまで他相の交流信号出力の為のGTO素子のスイッチング指令を禁止する。所定の保護回路の過渡状態終了後、他相の交流信号出力の為のGTO素子をオンする。これにより、GTO素子のスイッチング時にGTOインバータに発生する過電圧及びオフ電圧上昇率を抑制できる。

【0010】

【実施例】以下、図面を参照してこの発明の一実施例を説明する。図1に示す実施例は、複数のGTO素子及びスナバ回路を組合わせて、直流電圧を3相（U相、V相、W相）の交流電圧に変換するGTOインバータ回路について示したものである。

【0011】この実施例に係るGTOインバータ回路は、外部の直流電源から直流電圧が供給される＋側端子1a、－側端子1b、GTO素子2a～2f、スナバコンデンサ3a、3b、3cとスナバダイオード4a～4

fを有するスナバ回路、各スナバ回路が共有するスナバ抵抗5及び過電圧コンデンサ6、GTO素子2a~2fをバイパスするフリーホイリングダイオード7a~7f、リアクトル8a、8b、8c、U相、V相、W相の各信号出力用のインバータ各相出力端子9a、9b、9c、ゲートドライブ回路11、インバータスイッチングパターン発生部12を有している。

【0012】上記直流電圧が供給される端子1a、1bには、電源ラインL1、L2が接続される。この電源ラインL1、L2間には、U相のGTO素子2a、2b、V相のGTO素子2c、2d、W相のGTO素子2e、2fがそれぞれリアクトル8a、8b、8cを介して接続されると共に、スナバ抵抗5及び過電圧コンデンサ6の直列回路が接続される。

【0013】上記GTO素子2a、2c、2eの各アノードは、それぞれスナバダイオード4b、4a、スナバダイオード4d、4c、スナバダイオード4f、4eを介してスナバ抵抗5と過電圧コンデンサ6との接続点に接続される。また、上記スナバダイオード4b、4d、4fのカソードは、それぞれスナバコンデンサ3a、3b、3cを介してGTO素子2a、2c、2eのカソードに接続される。

【0014】更に、上記GTO素子2a~2fの各アノード・カソード間には、フリーホイリングダイオード7a~7fがそれぞれ逆極性となるように並列に接続される。そして、GTO素子2a、2bの接続点に出力端子9a、GTO素子2c、2d接続点に出力端子9b、GTO素子2e、2fの接続点に出力端子9cが接続される。そして、上記出力端子9a~9cに例えば交流電動機等の3相の負荷13が接続される。ゲートドライブ回路11は、インバータスイッチングパターン発生部12からの制御信号に従って各GTO素子2a~2fのスイッチング制御を行なう。

【0015】インバータスイッチングパターン発生部12は、各GTO素子2a~2fのオン/オフのスイッチングを行なう為の制御信号を発生する。また、インバータスイッチングパターン発生部12には、ある相(U、V、あるいはW相)のGTO素子のスイッチング指令を出力すると、その過渡状態が終わるまでの一定時間、つまり、過電圧コンデンサ6に誘起した過電圧が充分に小さくなるまでの時間、他相のGTO素子のスイッチング指令を禁止するロジックを設けている。次に上記実施例の動作を説明する。

【0016】上記実施例に示したGTOインバータ回路は、基本的には各相のGTO素子2a~2fとフリーホイリングダイオード7a~7fでインバータ動作を行なう。この場合、実際の動作時にはGTO素子2a~2fのスイッチング時に過電圧/過電流が生じるので、その抑制がスナバコンデンサ3a~3c、スナバダイオード4a~4f、スナバ抵抗5、過電圧コンデンサ6、リア

クトル8a~8c等からなるスナバ回路により行なわれる。

【0017】上記GTOインバータ回路の動作説明を容易にするため、各GTO素子2a~2fを交流1周期間に1回スイッチングするものとし、そのときの各相の電圧、電流波形を図2に示す。この場合、インバータスイッチングパターン発生部12は、各相のGTO素子2a~2fを120°の位相差を持たせさせてオン/オフ駆動するようにスイッチングパターンを発生する。各GTO素子2a~2fは、交流1周期間に180°の期間オンし、残りの期間はオフする。直流電源電圧をEとし、仮想的な中間点Oを基準とすると、各相の電圧(E/2, -E/2)は互いに120°位相のずれた180°通電の方形波となる。

【0018】図2(a)は、U相の電圧波形を示し、GTO素子2aをオン、素子2bをオフすると出力電圧VUは正の電圧(E/2)となり、GTO素子2aをオフ、素子2bをオンすると出力電圧VUは負の電圧(-E/2)となる。

【0019】図2(b)は、V相の電圧波形を示し、GTO素子2cをオン、素子2dをオフすると出力電圧VVは正の電圧(E/2)となり、GTO素子2cをオフ、素子2dをオンすると出力電圧VVは負の電圧(-E/2)となる。このV相の出力電圧VVは、U相の出力電圧VUより120°遅れた位相となる。

【0020】図2(c)は、W相の電圧波形を示し、GTO素子2eをオン、素子2fをオフすると出力電圧VWは正の電圧(E/2)となり、GTO素子2eをオフ、素子2fをオンすると出力電圧VWは負の電圧(-E/2)となる。このW相の出力電圧VWは、V相の出力電圧VVより更に120°遅れた位相となる。

【0021】そして、各相の線間電圧例えばU相とV相の線間電圧VUVは、図2(d)に示すようにU相の電圧VUとV相の電圧VVを合成した120°幅の方形波となり、電流IUは図2(e)に示すように負荷13に応じた値となる。

【0022】上記のようにしてGTOインバータ回路より3相の交流電源が負荷13に供給される。しかし、上記のように各GTO素子2a~2fを交流1周期間に1回スイッチングするものでは、図2(e)に示すように負荷13に円滑な電流が供給されない。このため一般的には、各GTO素子2a~2fを交流1周期間に複数回スイッチングするPWM制御を行なって、負荷電流の円滑化を図っている。図3は、PWM制御を行なった場合の各相の電圧波形を示したもので、(a)はU相、

(b)はV相、(c)はW相の電圧波形である。

【0023】上記PWM制御のように各GTO素子2a~2fを交流1周期間に複数回スイッチングする場合、各相のGTO素子2a~2fに対し、同時にオン/オフ指令を出力するタイミングを生じるが、この発明では、

インバータスイッチングパターン発生部12において、まず、ある相のGTO素子のスイッチング指令（オン／オフ）を出力し、その後、そのスイッチングによる過渡状態が終了するまでの一定時間待って他相のGTO素子へのスイッチング指令を出力する。即ち、インバータスイッチングパターン発生部12は、ある相のGTO素子に対してスイッチング指令（オン／オフ）を出力すると、そのスイッチングによる過渡状態が終了するまでの一定時間、他相のGTO素子へのスイッチング指令を行なわないようにしている。また、各相のGTO素子2aと2b、2cと2d、2eと2fは、図4(a)に示すように交互にオン／オフ制御するが、瞬時に切換わるのではなく、切換えのタイミングを図4(b)に拡大して示すように両方の素子が共にオフする期間（デッドタイム）T1を設けている。図4はGTO素子2a、2bを例として示したもので、GTO素子2aをオフした後、T1期間においてGTO素子2bをオンする。

【0024】しかして、今、例えばU相のGTO素子2aをターンオフしたとすると、それまでGTO素子2aに流れていた電流は、リアクトル8aよりスナバダイオード4bを介してスナバコンデンサ3aに流れると共に、リアクトル8aよりスナバダイオード4b、4aを介して過電圧コンデンサ6に分流する。これによりターンオフ時の過電圧や急峻な電圧変化が低減される。上記スナバコンデンサ3a及び過電圧コンデンサ6に充電された電荷は、その後、スナバ抵抗5を介して放電される。

【0025】上記GTO素子2aのターンオフにより過電圧コンデンサ6に過電圧 ΔE が誘起された瞬間に他相のGTO素子をターンオフしたとすると、図5(a)に示すようにそのターンオフしたGTO素子の両端に過電圧 ΔE が印加されて所定の臨界オフ電圧上昇率を越えとしますが、この発明では上記過電圧コンデンサ6に誘起した過電圧が充分に小さくなるまで待って他相のGTO素子をターンオフするので、図5(b)に示すようにターンオフしたGTO素子の両端に過電圧 ΔE が印加されることはなく、臨界オフ電圧上昇率の問題を回避することができる。

10

20

30

*

*【0026】

【発明の効果】以上詳記したように、この発明によれば、ある相のGTO素子のスイッチング指令があると、一定期間他相のGTO素子のスイッチング指令を禁止するようにしているので、GTO素子のオフ時の過電圧及びオフ電圧上昇率を確実に抑制でき、各相に設けられるスナバ回路はスナバ抵抗及び過電圧コンデンサを共有することが可能となり、低コスト化並びにコンパクト化を図ることができる。

【図面の簡単な説明】

【図1】この発明の一実施例に係るGTOインバータ回路の構成を示す図。

【図2】同実施例の動作を説明するためのタイミングチャート。

【図3】同実施例の動作を説明するためのタイミングチャート。

【図4】同実施例の同相のGTO素子2a、2bの切換え動作を示すタイミングチャート。

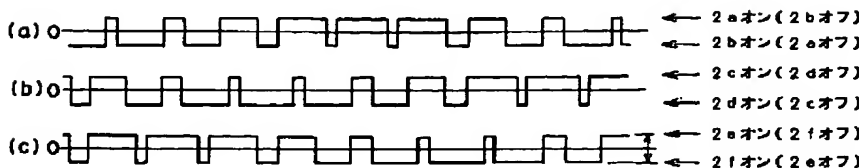
【図5】ターンオフ時におけるGTO素子両端の電圧印加状態を示す図。

【図6】従来のスナバ回路の構成を示す図。

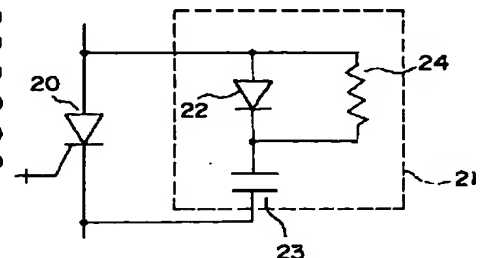
【符号の説明】

- 1a インバータ直流電源＋側端子
- 1b インバータ直流電源－側端子
- 2a～2f GTO素子
- 3a～3c スナバコンデンサ
- 4a～4f スナバダイオード
- 5 スナバ抵抗
- 6 過電圧コンデンサ
- 7a～7f フリーホイリングダイオード、
- 8a～8c リアクトル
- 9a インバータU相出力端子
- 9b インバータV相出力端子
- 9c インバータW相出力端子
- 11 ゲートドライブ回路
- 12 インバータスイッチングパターン発生部
- 13 負荷

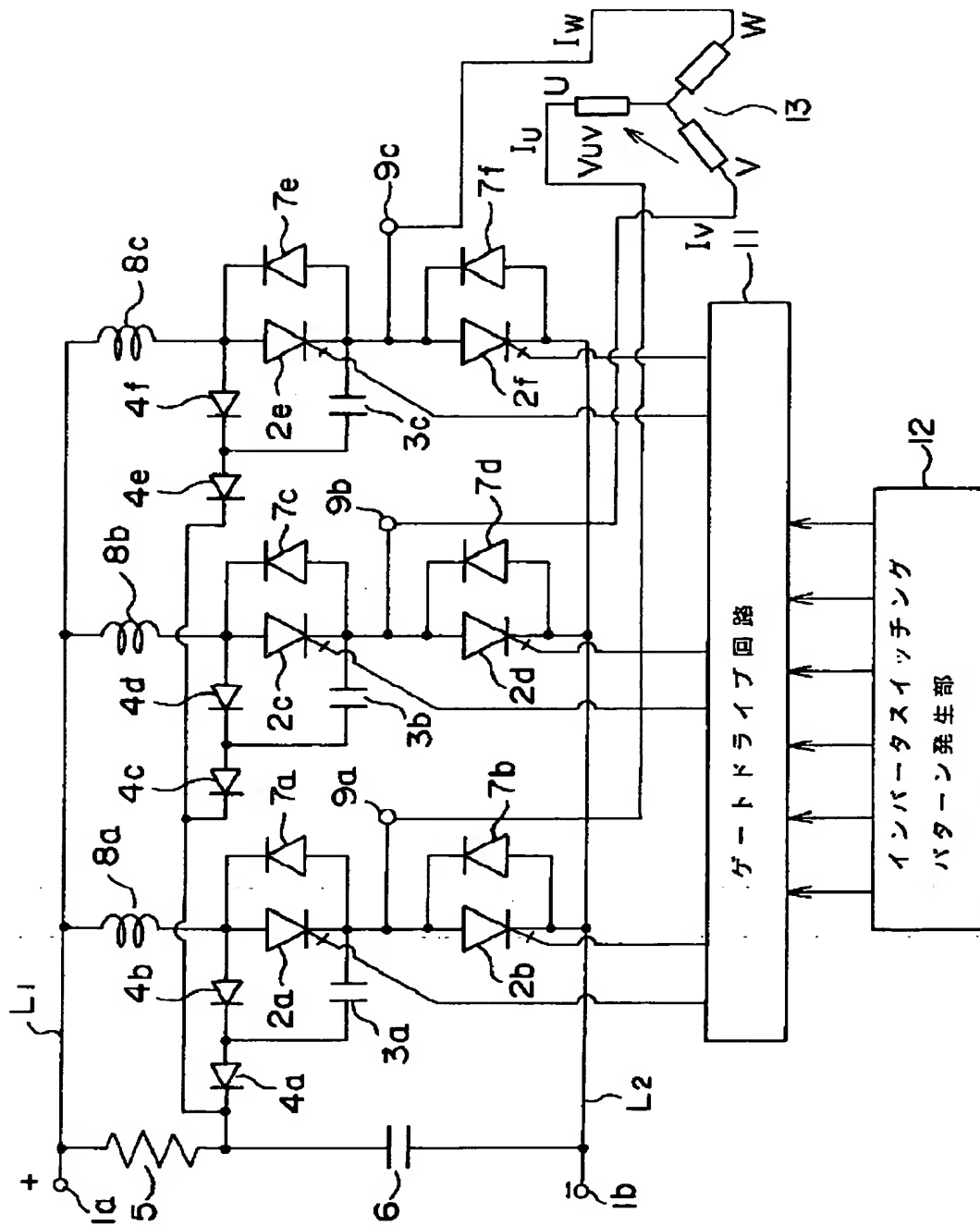
【図3】



【図6】



【図1】



【図4】

